

FIRST SHIFT RESISTER HAVING PLURAL CASCADED STAGES AND SHIFT REGISTER CIRCUIT HAVING SECOND SHIFT RESISTER HAVING MORE PLURAL CASCADED STAGES THAN FIRST SHIFT RESISTER

Publication number: KR20020059218 (A)

Publication date: 2002-07-12

Inventor(s): KAWAHATA KEN; YAMADA YUKIMITSU

Applicant(s): ALPS ELECTRIC CO LTD

Classification:

- international: G09G3/20; G09G3/36; G11C19/00; G11C19/28; G09G3/20; G09G3/36; G11C19/00; (IPC1-7): G09G3/36

- European: G11C19/00; G11C19/28

Application number: KR20010065815 20011024

Priority number(s): JP20000324496 20001024; JP20010208160 20010709

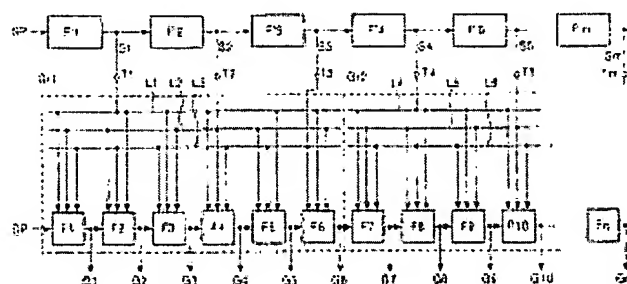
Also published as:

US2003206608 (A1)
US6963327 (B2)
TW529010 (B)
JP2002203397 (A)

Abstract of KR 20020059218 (A)

PURPOSE: A first shift register and a shift register circuit having a second shift register are provided to selectively supply a clock signal to a second shift register, to reduce a power consumption, to improve a circuit scale and to increase a transistor reliability.

CONSTITUTION: The circuit is composed of a first shift register having plural cascaded stages(F'1-F'm) and a second shift register having more stages(F1-Fn) than the first shift register, the stages(F1-Fn) of the second shift register are divided into groups (Gr1-Grn) constituted of continuous stages, each stage(F'1-F'm) of the first shift register outputs a pulse column in which only pulses of the prescribed numbers having different phases one another are continued to the stages(F1-Fn) constituting each group(Gr1-Grn) in the second shift register, as clock signals(S1-Sm).



Data supplied from the esp@cenet database — Worldwide

(19) 대한민국특허청 (KR) (12) 공개특허공보 (A)

(51) 。 Int. Cl. 7
G09G 3/36

(11) 공개번호 특2002 - 0059218
(43) 공개일자 2002년07월12일

(21) 출원번호 10 - 2001 - 0065815
(22) 출원일자 2001년10월24일

(30) 우선권주장 JP - P - 2000 - 00324496 2000년10월24일 일본 (JP)
JP - P - 2001 - 00208160 2001년07월09일 일본 (JP)

(71) 출원인 알프스 덴키 가부시키키가이샤
가타오카 마사타카
일본국 도쿄도 오타구 유키가야 오츠카쵸 1반 7고

(72) 발명자 가와하따젠
일본미야기켄센다이시이즈미꾸데라오까2 - 3 - 2
야마다유끼미즈
일본미야기켄센다이시다이하꾸꾸다이하꾸2 - 5 - 10

(74) 대리인 특허법인코리아나

심사청구 : 있음

(54) 종속접속된 복수단을 갖는 제 1 시프트 레지스터와, 이보다 많은 단을 갖는 제 2 시프트 레지스터를 갖는 시프트 레지스터 회로

요약

본 발명은 제 2 시프트 레지스터에 선택적으로 클럭신호를 공급하여 소비전력을 감소시킴과 동시에, 회로규모도 작고, 또한 트랜지스터의 신뢰성이 저하되지도 않는 시프트 레지스터 회로를 제공한다.

이러한 시프트 레지스터 회로를 제공하기 위해, 본 발명에서는 종속접속된 복수의 단 (F'1, F'2, ...) 을 갖는 제 1 시프트 레지스터와, 이 제 1 시프트 레지스터보다 많은 단 (F1, F2, ...) 을 갖는 제 2 시프트 레지스터를 가지고, 상기 제 2 시프트 레지스터가 갖는 단 (F1, F2, ...) 은 연속되는 단에 의해 구성되는 그룹 (Gr1, Gr2, ...) 으로 나뉘고, 상기 제 1 시프트 레지스터가 갖는 각 단 (F'1, F'2, ...) 은, 제 2 시프트 레지스터내의 각 그룹 (Gr1, Gr2, ...) 을 구성하는 단 (F1, F2, ...) 에, 클럭신호 (S1, S2, ...) 로서 서로 위상이 상이한 소정 펄스수만 연속되는 펄스열을 출력하는 구성으로 하였다.

대표도

도 1

명세서

도면의 간단한 설명

도 1 은 본 발명의 제 1 실시형태에서의 시프트 레지스터 회로의 구성도.

도 2 는 본 발명의 제 1 실시형태에서의 시프트 레지스터 회로의 동작을 설명하기 위한 타이밍도.

도 3 은 본 발명의 제 1 실시형태에서의 시프트 레지스터 회로를, 표시장치의 클럭발생회로 및 게이트 드라이버로서 사용한 예의 구성도.

도 4 는 본 발명의 제 2 실시형태에서의 시프트 레지스터 회로의 구성도.

도 5 는 본 발명의 제 2 실시형태에서의 시프트 레지스터 회로의 동작을 설명하기 위한 타이밍도.

도 6 은 본 발명의 제 3 실시형태에서의 시프트 레지스터 회로의 구성도.

도 7 은 본 발명의 제 3 실시형태에서의 시프트 레지스터 회로의 동작을 설명하기 위한 타이밍도.

도 8 은 본 발명의 각 실시형태에서의 제 2 시프트 레지스터 또는 제 3 시프트 레지스터를 구성하는 단의 내부회로를 나타내는 회로도.

도 9 는 본 발명의 제 4 실시형태에서의 시프트 레지스터 회로의 구성을 나타내는 블록도.

도 10 은 본 발명의 제 4 실시형태에서의 제 1 시프트 레지스터내의 각 단 ($F'1, F'2, F'3, F'4, \dots$) 의 내부구성을 나타내는 회로도.

도 11 은 본 발명의 제 4 실시형태에서의 제 1 시프트 레지스터의 동작을 나타내는 타이밍도.

도 12 는 본 발명의 제 4 실시형태에서의 제 2 시프트 레지스터내의 각 단 (F_{i+1}, F_{i+2}, \dots) 의 내부구성을 나타내는 회로도.

도 13 은 본 발명의 제 4 실시형태에서의 제 2 시프트 레지스터의 동작을 나타내는 타이밍도.

도 14 는 본 발명의 제 5 실시형태에서의 시프트 레지스터 회로의 구성을 나타내는 블록도.

도 15 는 본 발명의 제 5 실시형태에서의 제 1 시프트 레지스터의 동작을 나타내는 타이밍도.

도 16 은 본 발명의 제 5 실시형태에서의 제 2 시프트 레지스터의 동작을 나타내는 타이밍도.

도 17 은 본 발명의 시프트 레지스터 회로를, 표시장치의 클럭발생회로 및 게이트 드라이버, 또는 클럭발생회로 및 소스 드라이버로서 사용한 예를 나타내는 구성도.

도 18 은 본 발명의 시프트 레지스터 회로를, 이미지 센서의 클럭발생회로 및 게이트 드라이버, 또는 클럭발생회로 및 소스 드라이버로서 사용한 예를 나타내는 구성도.

도 19 는 종래의 시프트 레지스터 회로의 일례를 나타내는 회로도.

도 20 은 종래의 시프트 레지스터 회로의 동작을 설명하기 위한 타이밍도.

(부호의 설명)

F1, F2, F3, ..., Fn 단

F'1, F'2, F'3, ..., F'm 단

Gi-1, Gi, Gi+1, Gi+2, ...신호

S1, S2, S3, ...클럭신호

SC1, SC3 주사신호

SC2 소스신호

SP, SP1, SP2 스타트 펄스

SP' 스타트 펄스

IN 입력단자

OUT 출력단자

Ka, Kb, Kc 클럭입력단자

T1, T2, T3 클럭입력단자

M1, M2, M3, M4, M5 MIS 트랜지스터

C 콘덴서

Q1, Q2, Q3, Q4 트랜지스터

N1, N2, N3, N4, N5, N6 인버터

A1, A2, A3, A4 논리곱 게이트

ϕ 1, ϕ 2 클럭

R 제어신호

L1, L2, L3, L4, L5, L6 클럭신호라인

Gr1, Gr2, Gr3, ... 그룹

1 TFT 기판 (유리기판, 표시장치기판)

2 표시 에어리어

2a 주사선

2b 신호선

2c MIS 트랜지스터

2d 표시소자

3 게이트 드라이버 (제 2 시프트 레지스터, 제 3 시프트 레지스터)

4 TCP

4a, 4b 클록발생회로 (제 1 시프트 레지스터)

5, 5a 소스 드라이버 (제 2 시프트 레지스터)

5b 트랜지스터

6 TFT 기판 (이미지 센서 기판)

7 센서 에어리어

7d 수광소자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시장치나 이미지 센서에 사용하는 시프트 레지스터 회로에 관한 것이며, 특히 시프트 레지스터에 클록신호를 공급하는 회로에 관한 것이다.

도 19는 종래의 시프트 레지스터 회로의 일례를 나타내는 회로도이다. 이 시프트 레지스터 회로는, 복수의 단 ($F'1, F'2, F'3, \dots, F'm$) 이 종속접속된 제 1 시프트 레지스터와, 복수의 단 ($F1, F2, F3, \dots, Fn$) 이 종속접속되고, 연속되는 3 개의 단이 1 개의 그룹을 형성하고 있는 제 2 시프트 레지스터를 갖는다. 제 2 시프트 레지스터에 있어서는, 예컨대 단 ($F1, F2, F3$) 이 1 개의 그룹 ($Gr1$) 을 형성하고 있다.

제 2 시프트 레지스터에는, 게이트 회로 ($Ge1, Ge2, Ge3, \dots, Gem$) 를 통하여 3 상(相)의 클록신호 ($\phi a, \phi b, \phi c$) 가 공급되는데, 이 클록신호 ($\phi a, \phi b, \phi c$) 는 게이트 회로 ($Ge1, Ge2, Ge3, \dots, Gem$) 에 제 1 시프트 레지스터의 출력 ($S1, S2, S3, \dots, Sm$) 이 입력됨으로써, 제 2 시프트 레지스터의 각 그룹에 선택적으로 공급된다. 이러한 선택적인 클록신호의 공급은 시프트 레지스터 회로의 소비전력을 감소시키기 위해서이다. 제 2 시프트 레지스터의 출력 ($G1, G2, G3, \dots, Gn$) 은 표시장치 등의 구동에 사용된다.

도 20은 상기 시프트 레지스터 회로의 동작을 설명하기 위한 타이밍차트이다. 제 1 시프트 레지스터의 첫단 ($F'1$) 에 스타트 펄스 (SP') 가 입력되면, 이 펄스가 순서대로 다음 단에 전달되어, 먼저 신호 ($S1$) 가 출력되고, 다음에 신호 ($S2$) 가 출력되고, 다음 단 이후부터도 순서대로 신호 ($S3, S4, \dots, Sm$) 가 출력된다. 이들 신호 ($S1, S2, S3, \dots, S$

m) 가 각각 게이트 회로 (Ge1, Ge2, Ge3, ..., Gem) 에 입력되고, 이들 게이트 회로 (Ge1, Ge2, Ge3, ..., Gem) 는 신호 (S1, S2, S3, ..., Sm) 에 따라 3 상의 클럭신호 (ϕa , ϕb , ϕc) 의 펄스열 중에서 필요한 펄스를 선택한다. 예컨대, 게이트 회로 (Ge1) 는 클럭신호 ($\phi 1a$, $\phi 1b$, $\phi 1c$) 를 선택하고, 게이트 회로 (Ge2) 는 클럭신호 ($\phi 2a$, $\phi 2b$, $\phi 2c$) 를 선택한다.

게이트 회로 (Ge1, Ge2, Ge3, ..., Gem) 가 선택한 클럭신호는 각각 제 2 시프트 레지스터의 각 그룹에 공급된다. 예컨대, 게이트 회로 (Ge1) 가 선택한 클럭신호 ($\phi 1a$, $\phi 1b$, $\phi 1c$) 는 그룹 (Gr1) 에 공급되고, 그룹 (Gr1) 내의 단 (F1, F2, F3) 에 입력된다. 이와 동시에, 제 2 시프트 레지스터의 첫단인 F1 에 스타트 펄스 (SP) 가 입력된다. 그러면, 제 2 시프트 레지스터의 단 (F1, F2, F3) 으로부터 순서대로 신호 (G1, G2, G3) 가 출력되고, 단 (F4) 이후부터도 동일하게 신호 (G4, G5, G6, ..., Gn) 가 출력된다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래기술에는 다음과 같은 문제가 있다. 즉, 상기 종래기술에 있어서는, 제 1 시프트 레지스터의 출력 (S1, S2, S3, ..., Sm) 을 게이트 회로 (Ge1, Ge2, Ge3, ..., Gem) 에 공급하고, 이들 게이트 회로 (Ge1, Ge2, Ge3, ..., Gem) 가 클럭신호 (ϕa , ϕb , ϕc) 를 제 2 시프트 레지스터의 그룹마다 선택한다. 따라서, 제 1 시프트 레지스터와 제 2 시프트 레지스터 사이에 게이트 회로 (Ge1, Ge2, Ge3, ..., Gem) 를 개재시킬 필요가 있고, 이로 인해 시프트 레지스터 회로의 회로규모가 커진다는 문제가 있다.

또한, 표시장치와 동일한 기판 (유리기판) 상에 게이트 회로 (Ge1, Ge2, Ge3, ..., Gem) 및 제 2 시프트 레지스터를 형성하기 위해서는, 이들 게이트 회로 및 제 2 시프트 레지스터내의 트랜지스터는, 비정질 (非晶質) 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성되게 된다. 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성된 트랜지스터에 항상 전압이 인가되면, 전압 스트레스로 인해 트랜지스터의 특성 열화가 발생되어, 이 트랜지스터의 신뢰성이 저하되는 경우가 있다. 따라서, 이러한 트랜지스터에는 극력전압을 인가하지 않는 것이 중요하다. 상기 종래기술에 있어서는, 게이트 회로 (Ge1, Ge2, Ge3, ..., Gem) 가 상시 가동상태가 되므로, 이들 게이트 회로내의 트랜지스터에 항상 전압이 인가되어, 이 전압 스트레스에 의해 트랜지스터의 신뢰성이 저하되는 경우가 있다.

본 발명은 상기 문제를 해결하기 위해 이루어진 것으로, 제 2 시프트 레지스터에 선택적으로 클럭신호를 공급하여 소비 전력을 감소시킴과 동시에, 회로규모도 작고, 트랜지스터의 신뢰성도 저하되지도 않는 시프트 레지스터 회로, 표시장치 및 이미지 센서를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 시프트 레지스터 회로는, 종속접속된 복수의 단을 갖는 제 1 시프트 레지스터와, 이 제 1 시프트 레지스터보다 많은 단을 갖는 제 2 시프트 레지스터를 가지며, 상기 제 2 시프트 레지스터가 갖는 단은 연속되는 단에 의해 구성되는 그룹으로 나뉘고, 상기 제 1 시프트 레지스터가 갖는 각 단은 제 2 시프트 레지스터내의 각 그룹을 구성하는 단에, 클럭신호로서 서로 위상이 상이한 소정 펄스수의 연속되는 펄스열을 출력하는 것을 특징으로 한다.

상기 제 1 시프트 레지스터의 입력단자에는 유한의 펄스수의 연속되는 펄스열이 입력되는 것이 바람직하다.

또한, 상기 제 1 시프트 레지스터는 쌍방향성 시프트 레지스터인 것이 바람직하다.

상기 구성에 의하면, 제 2 시프트 레지스터에서의 필요한 단에만 클록신호가 공급되어 저소비전력화가 실현됨과 동시에, 제 1 시프트 레지스터가 갖는 단의 출력이 직접 제 2 시프트 레지스터에 입력되고, 제 1 시프트 레지스터와 제 2 시프트 레지스터 사이에 게이트 회로를 개재시킬 필요가 없기 때문에, 시프트 레지스터 회로의 전체적인 회로규모를 작게 할 수 있다.

또한, 상기 구성에 의하면, 제 2 시프트 레지스터의 그룹내의 단이 갖는 클록 입력단자가 1 계통으로 정리되고, 따라서 각 그룹이 1 세트의 클록입력단자를 갖게 되므로, 제 2 시프트 레지스터를 위한 클록신호의 배선이, 제 2 시프트 레지스터의 전역에 걸쳐지지 않게 된다. 이에 의해, 제 2 시프트 레지스터내의 클록신호의 배선이 짧아지기 때문에, 배선용량이나 배선저항에 의한 클록신호의 지연을 줄일 수 있다.

상기 제 2 시프트 레지스터는 복수계열로 형성되어 있는 것이 바람직하다.

상기 구성에 의하면, 복수계열로 형성된 제 2 시프트 레지스터가 갖는 단의 출력으로, 표시장치에서의 홀수 필드 및 짝수 필드를 구동하는 것이 가능하므로, 상기 시프트 레지스터 회로를 인터레이스 구동에 사용할 수 있다. 또한, 홀수 필드와 짝수 필드를 전환하기 위해 게이트 회로를 형성할 필요가 없기 때문에, 회로규모를 작게 할 수 있다.

상기 제 2 시프트 레지스터가 갖는 단의 출력은, 신호선과 주사선이 교차한 교차점 부근에 스위칭 소자가 형성된 액티브 매트릭스 회로의 주사신호로 되어 있는 것이 바람직하다.

제 2 시프트 레지스터를 갖는 단의 출력이 액티브 매트릭스 회로의 주사신호로 되면, 즉 액티브 매트릭스 회로의 게이트 드라이버 또는 소스 드라이버를 상기 시프트 레지스터 회로로 구성하면, 게이트 드라이버 또는 소스 드라이버의 회로규모를 작게 할 수 있다.

상기 액티브 매트릭스 회로 및 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터는, 모두 동일형의 MIS 트랜지스터에 의해 구성되어 있는 것이 바람직하다.

상기 구성에 의하면, 액티브 매트릭스 회로 및 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터가, 동일형의 MIS 트랜지스터에 의해 구성되므로, 제조 프로세스가 간단해진다.

상기 액티브 매트릭스 회로 및 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터는, 모두 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성되어 있는 것이 바람직하다.

비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성된 MIS 트랜지스터에 항상 전압이 인가되면, 이 MIS 트랜지스터의 신뢰성이 저하되는 경우가 있다. 상기 구성에 의하면, 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터에는, 대부분의 기간에 전압이 인가되지 않기 때문에, 신뢰성 저하의 문제가 일어나지 않는다.

상기 제 2 시프트 레지스터는 상기 액티브 매트릭스 회로와 동일 기판상에 형성되어 있는 것이 바람직하다.

제 2 시프트 레지스터와 액티브 매트릭스 회로를 동일 기판상에 형성하면, 제 2 시프트 레지스터와 액티브 매트릭스 회로 사이의 배선을 짧게 할 수 있다. 동일 기판상에 형성한다는 것은, 동일한 제조 프로세스로 MIS 트랜지스터를 형성하게 되므로, 제 2 시프트 레지스터와 액티브 매트릭스 회로의 MIS 트랜지스터는 동일형이 되고 소재도 동일해진다.

또한, 액티브 매트릭스 회로 (구체적으로는 표시장치 등) 는 일반적으로 사이즈가 크다. 따라서, 제 2 시프트 레지스터와 액티브 매트릭스 회로를 동일 기판상에 형성하면, 액티브 매트릭스 회로의 사이즈에 맞춰, 제 2 시프트 레지스터를 위한 클록신호의 배선을 길게 걸쳐야 한다. 이 때, 이 구성에 의하면, 제 2 시프트 레지스터내의 클록신호의 배선이 짧아지기 때문에, 배선용량이나 배선저항에 의한 클록신호의 지연을 줄일 수 있다. 또는, 제 2 시프트 레지스터내의 클록신호의 배선이 짧아지므로, 그만큼 이 배선의 선폭을 축소할 수 있다. 그 결과, 액티브 매트릭스 회로가 표시장치인 경우에는, 표시부로서 사용할 수 없는 무효 에어리어 (가장자리 부분) 를 작게 할 수 있다.

상기 제 2 시프트 레지스터가 갖는 각 단은, 단자로서 n 상 (n 은 2 이상의 정수) 의 클록신호를 입력하는 클록입력단자와, 제 2 시프트 레지스터의 입력단자 또는 전단(前段)의 출력단자로부터 받은 신호를 입력하는 입력단자와, 후단(後段)의 입력단자 또는 제 2 시프트 레지스터의 출력단자로 보내는 신호를 출력하는 출력단자만을 가지고, 상기 각 단은 상기 클록입력단자 중 어느 하나로부터, 각 단의 상태를 초기화하기 위한 초기상태 레벨을 입력하는 것이 바람직하다.

상기 구성에 의하면, 제 2 시프트 레지스터의 각 단의 상태를 초기화하기 위한 초기상태 레벨이, 클록입력단자 중 어느 하나로부터 입력되므로, 초기상태 레벨을 공급하기 위해서만 사용되는 배선 (예를 들어, 접지 라인) 이 불필요해진다. 따라서, 제 2 시프트 레지스터에 접속되는 배선이 적어져, 배선에 필요한 면적을 작게 할 수 있다.

또한, 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성된 MIS 트랜지스터에 항상 동일한 방향으로 전압이 인가되면, 이 MIS 트랜지스터의 신뢰성이 저하되는 경우가 있다. MIS 트랜지스터에, 항상 초기상태 레벨로 고정된 배선으로부터가 아니라, 전위가时时각각 변동하는 클록입력단자 중의 어느 하나로부터 초기상태 레벨이 입력되면, 이 MIS 트랜지스터에 인가되는 전압의 방향이时时각각 변동하여 동일한 방향으로 고정되지 않는다. 따라서, 이 MIS 트랜지스터의 신뢰성이 향상된다.

본 발명의 표시장치 또는 이미지 센서는 상기 시프트 레지스터 회로를 구비하는 것을 특징으로 한다.

도 1 은 본 발명의 제 1 실시형태에서의 시프트 레지스터 회로의 구성도이다. 이 시프트 레지스터 회로는, 복수의 단 ($F'1, F'2, F'3, \dots, F'm$) 이 종속접속된 제 1 시프트 레지스터와, 복수의 단 ($F1, F2, F3, \dots, Fn$) 이 종속접속되고, 연속되는 6 개의 단이 1 개의 그룹을 형성하고 있는 제 2 시프트 레지스터를 갖는다. 제 2 시프트 레지스터에 있어서는, 예컨대 단 ($F1 \sim F6$) 이 그룹 ($Gr1$) 을 형성하고 있고, 단 ($F7 \sim F12$) 이 그룹 ($Gr2$) 을 형성하고 있다.

제 2 시프트 레지스터의 각 그룹에는, 제 1 시프트 레지스터내의 연속되는 3 개의 단의 출력단자로부터 3 상의 클록신호가 공급된다. 예컨대, 제 2 시프트 레지스터의 그룹 ($Gr1$) 에는, 제 1 시프트 레지스터내의 연속되는 3 개의 단 ($F'1, F'2, F'3$) 에서 출력되는 클록신호 ($S1, S2, S3$) 가 공급되고, 그룹 ($Gr2$) 에는 단 ($F'4, F'5, F'6$) 에서 출력되는 클록신호 ($S4, S5, S6$) 가 공급된다.

1 개의 그룹내의 각 단이 갖는 3 개의 클록입력단자는 동일한 상인 것끼리 모두 접속되고, 1 개의 그룹에 1 세트 (3 개) 형성된 클록입력단자에 접속되어 있다. 예컨대, 그룹 ($Gr1$) 내의 각 단이 갖는 3 개의 클록입력단자는, 각각 클록신호라인 ($L1, L2, L3$) 에 접속되고, 이들 클록신호라인 ($L1, L2, L3$) 은 그룹 ($Gr1$) 에 1 세트 형성된 클록입력단자 ($T1, T2, T3$) 에 접속되어 있다. 클록신호라인 ($L1, L2, L3$) 은 다른 그룹의 클록신호라인 (예컨대, 그룹 ($Gr2$) 의 클록신호라인 ($L4, L5, L6$)) 과는 접속되어 있지 않다. 따라서, 1 개의 그룹내에 있는 클록신호라인이 제 2 시프트 레지스터 전체에 걸쳐지지 않게 된다.

그룹내의 클록신호라인 (예컨대, 그룹 ($Gr1$) 의 클록신호라인 ($L1, L2, L3$)) 은, 구체적으로는 TFT 기관 (유리기판) 상에 형성되는 배선이므로 배선저항이 크다. 이에 비해, 제 1 시프트 레지스터로부터 제 2 시프트 레지스터의 각 그룹에 1 세트 형성된 클록입력단자 (예컨대, 그룹 ($Gr1$) 에 1 세트 형성된 클록입력단자 ($T1, T2, T3$)) 까지의 배선은 TCP 에서의 배선이 되므로, 저저항배선재료를 사용할 수 있다. 따라서, 배선저항에 의한 클록신호의 지연을 적게 할 수 있다.

도 2 는 상기 시프트 레지스터 회로의 동작을 설명하기 위한 타이밍차트이다. 제 1 시프트 레지스터의 첫단 ($F'1$) 에는 4 펄스만이 연속되는 스타트 펄스 (SP') 가 입력된다. 이 펄스가 순서대로 다음 단에 보내져, 제 1 시프트 레지스터의 각 단 ($F'1, F'2, F'3, \dots, F'm$) 으로부터, 4 펄스만이 연속되는 클록신호 ($S1, S2, S3, \dots, Sm$) 가 상이한 위상으로

출력된다. 클록신호 (S1, S2, S3, ..., Sm) 는 제 2 시프트 레지스터에서의 각 그룹에 공급된다. 예컨대, 클록신호 (S1, S2, S3) 는 제 2 시프트 레지스터에서의 그룹 (Gr1) 에 공급되고, 클록신호 (S4, S5, S6) 는 제 2 시프트 레지스터에서의 그룹 (Gr2) 에 공급된다.

제 2 시프트 레지스터의 그룹 (Gr1) 에 공급된 클록신호 (S1, S2, S3) 는 그룹 (Gr1) 내의 단 (F1 ~ F6) 을 구동하고, 첫단 (F1) 에 1 펄스만 입력되는 스타트 펄스 (SP) 를 순서대로 다음 단에 보낸다. 제 2 시프트 레지스터의 그룹 (Gr2) 에 공급된 클록신호 (S4, S5, S6) 는 그룹 (Gr2) 내의 단 (F7 ~ F12) 을 구동하고, 이 그룹 (Gr2) 의 첫단 (F7) 에 입력되는, 그룹 (Gr1) 의 마지막단 (F6) 에서 출력된 신호 (G6) 를 순서대로 다음 단에 보낸다. 이러한 동작이, 신호 (펄스) 가 제 2 시프트 레지스터의 마지막단 (Fn) 에 도달할 때까지 반복된다.

제 1 시프트 레지스터의 각 단을, 4 펄스가 연속되는 신호가 통과한 후에는, 각 단이 출력하는 클록신호는 모두 Low 레벨로 고정된다. 예컨대, 4 펄스가 연속되는 신호가 제 1 시프트 레지스터의 단 (F'1 ~ F'3) 을 통과한 후에는, 단 (F'1 ~ F'3) 이 출력하는 클록신호 (S1 ~ S3) 는 모두 Low 레벨로 고정된다. 이와 동시에, 클록신호 (S1 ~ S3) 를 입력하고 있는 제 2 시프트 레지스터의 그룹 (Gr1) 내의 단 (F1 ~ F6) 에 있어서도 이미 펄스가 통과하고 있기 때문에, 단 (F1 ~ F6) 이 출력하는 신호 (G1 ~ G6) 는 모두 Low 레벨로 고정된다. 즉, 펄스가 통과한 불필요한 단은 휴지상태로 되므로, 시프트 레지스터 회로의 소비전력이 절약된다.

예를 들어, 클록신호 (S1, S2, S3) 에 포함되는 펄스에 있어서, 제 2 시프트 레지스터의 그룹 (Gr1) 의 동작에 필요한 펄스 및 클록신호 (S4, S5, S6) 에 포함되는 펄스에 있어서, 제 2 시프트 레지스터의 그룹 (Gr2) 의 동작에 필요한 펄스는, 타이밍차트 중의 파선으로 둘러싸인 펄스뿐이다. 단, 그 이외의 펄스도 제 2 시프트 레지스터의 동작에 악영향을 미치는 일은 없다.

도 3 은 상기 실시형태에서의 시프트 레지스터 회로를, 표시장치의 클록발생회로 및 게이트 드라이버로서 사용한 예의 구성도이다. 이 표시장치에 있어서는, TFT 기판 (유리기판) (1) 상에 표시 에어리어 (2) 가 형성되고, 이 표시 에어리어 (2) 의 옆에, 이 표시 에어리어 (2) 내의 주사선 (2a) 을 구동하는 게이트 드라이버 (제 2 시프트 레지스터) (3) 가 형성되어 있다. 즉, 표시 에어리어 (2) 와 게이트 드라이버 (제 2 시프트 레지스터) (3) 는, 동일한 TFT 기판 (유리기판) (1) 상에 동일한 제조 프로세스로 형성된다. 따라서, 표시 에어리어 (2) 내의 주사선 (2a) 과 신호선 (2b) 의 교점에 형성되는 MIS 트랜지스터 (2c) 와, 게이트 드라이버 (제 2 시프트 레지스터) (3) 내의 MIS 트랜지스터는, 동일형 (예컨대, N 채널 트랜지스터) 이 된다. 또한, MIS 트랜지스터의 소재도 동일해지고, 유리기판상에 형성되므로, 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성된다.

TFT 기판 (유리기판) (1) 상에 형성된 게이트 드라이버 (제 2 시프트 레지스터) (3) 에는, TCP (4) 상에 형성된 클록발생회로 (제 1 시프트 레지스터) (4a) 로부터 클록신호 (S1, S2, S3, ..., Sm) 가 공급된다. 또한, 소스 드라이버 (5) 는 표시 에어리어 (2) 의 신호선 (2b) 을 구동한다. 상기 실시형태에서의 제 2 시프트 레지스터를, 표시장치의 소스 드라이버로서 사용하는 것도 가능하다.

예컨대, 상기 표시장치가 6 인치 VGA 패널이라고 하면, 주사선 (2a) 을 구동하는 게이트 드라이버 (제 2 시프트 레지스터) (3) 의 단수는 480 단이 된다. 상기 실시형태에 있어서는, 제 2 시프트 레지스터내의 단이 6 단씩의 그룹으로 나뉘어지므로, 480 단을 6 단씩의 그룹으로 나누면, 80 그룹으로 나뉜다. 따라서, 각 그룹내의 클록신호라인의 길이는, 그룹을 나누지 않은 경우와 비교하여 1/80 이 되고, 각 그룹내의 클록신호라인의 배선용량 및 배선저항도 1/80 이 된다. 클록신호의 지연량은 단순계산으로는 배선용량 × 배선저항에 의해 결정되므로 1/6400 이 된다.

도 4 는 본 발명의 제 2 실시형태에서의 시프트 레지스터 회로의 구성도이다. 이하, 이 도면을 참조하여 본 실시형태의 구성을 설명하지만, 제 1 실시형태와 동일한 구성에는 동일한 부호를 부여하여 그 설명을 생략하기로 한다. 본 실시형태의 시프트 레지스터 회로는, 홀수 필드와 짝수 필드를 갖는 인터레이스 방식의 표시장치에 사용된다. 따라서, 제 1 실시형태에서의 제 2 시프트 레지스터가 2 계통 형성되어 있다. 이하, 이들의 시프트 레지스터를, 제 2 시프트 레지스터 및 제 3 시프트 레지스터라 부른다. 제 2 시프트 레지스터와 제 3 시프트 레지스터의 구성은 동일하며, 제 2 시프트 레지스터는 홀수 필드용이고, 단 (FO1, FO2, FO3, ...) 을 가지며, 제 3 시프트 레지스터는 짝수 필드용이고, 단 (FE1, FE2, FE3, ...) 을 갖는다.

제 2 시프트 레지스터 및 제 3 시프트 레지스터가 갖는 단은, 각 시프트 레지스터에서의 연속되는 3 개의 단, 합계 6 개의 단이 1 개의 그룹을 형성하고 있다. 예컨대, 제 2 시프트 레지스터가 갖는 단 (FO1, FO2, FO3) 과, 제 3 시프트 레지스터가 갖는 단 (FE1, FE2, FE3) 과의 합계 6 개의 단이 그룹 (Gr1) 을 형성하고 있고, 제 2 시프트 레지스터가 갖는 단 (FO4, FO5, FO6) 과, 제 3 시프트 레지스터가 갖는 단 (FE4, FE5, FE6) 과의 합계 6 개의 단이 그룹 (Gr2) 를 형성하고 있다.

도 5 는 상기 시프트 레지스터 회로의 동작을 설명하기 위한 타이밍차트이다. 제 1 시프트 레지스터의 첫단 (F'1) 에는 2 펄스만이 연속되는 스타트 펄스 (SP') 가 입력된다. 이 펄스가, 순서대로 다음 단에 보내지고, 제 1 시프트 레지스터의 각 단 (F'1, F'2, F'3, ...) 으로부터, 2 펄스만이 연속되는 클록신호 (S1, S2, S3, ...) 가 상이한 위상으로 출력된다. 클록신호 (S1, S2, S3, ...) 는 제 2 시프트 레지스터 및 제 3 시프트 레지스터에서의 각 그룹에 공급된다. 예를 들어, 클록신호 (S1, S2, S3) 는 제 2 시프트 레지스터 및 제 3 시프트 레지스터에서의 그룹 (Gr1) 에 공급되고, 클록신호 (S4, S5, S6) 는 그룹 (Gr2) 에 공급된다.

그룹 (Gr1) 에 공급된 클록신호 (S1, S2, S3) 는 그룹 (Gr1) 내의 단 (FO1 ~ FO3) 및 단 (FE1 ~ FE3) 을 구동한다. 제 2 시프트 레지스터의 첫단 (FO1) 에는 1 펄스만의 스타트 펄스 (SPO) 가 입력되고, 제 3 시프트 레지스터의 첫단 (FE1) 에는 스타트 펄스 (SPO) 와는 타이밍이 다르지만, 역시 1 펄스만의 스타트 펄스 (SPE) 가 입력된다. 이로써, 제 2 시프트 레지스터로부터는 홀수 필드용의 신호 (GO1, GO2, GO3, ...) 가 출력되고, 제 3 시프트 레지스터로부터는 상기 홀수 필드용의 신호와는 타이밍이 다른, 짝수 필드용의 신호 (GE1, GE2, GE3, ...) 가 출력된다. 그 이후의 단에 대해서도 동일한 동작이 실시된다.

본 실시형태에 있어서도, 제 1 시프트 레지스터의 각 단을, 2 펄스가 연속되는 신호가 통과한 후에는, 단이 출력하는 클록신호는 모두 Low 레벨로 고정된다. 이와 동시에, 클록신호를 입력하고 있는 제 2 시프트 레지스터 및 제 3 시프트 레지스터에 있어서도, 펄스 통과후에는 각 단이 출력하는 신호가 모두 Low 레벨로 고정된다. 즉, 펄스가 통과한 불필요한 단은 휴지상태로 되므로, 시프트 레지스터 회로의 소비전력이 절약된다.

도 6 은 본 발명의 제 3 실시형태에서의 시프트 레지스터 회로의 구성도이다. 이하, 이 도면을 참조하여 본 실시형태의 구성을 설명하지만, 제 1 실시형태와 동일한 구성에는 동일한 부호를 부여하여 그 설명을 생략하기로 한다. 본 실시형태의 시프트 레지스터 회로에 있어서는, 단 (F1, F2, F3, ..., Fn) 에 의해 구성되는 제 2 시프트 레지스터의 각 그룹내에, 4 개의 클록신호라인이 형성되어 있다. 예컨대, 제 2 시프트 레지스터의 단 (F1 ~ F6) 으로 구성되는 그룹 (Gr1) 내에는, 4 개의 클록신호라인 (L1, L2, L3, L4) 이 형성되어 있다. 이들 클록신호라인 (L1, L2, L3, L4) 에는, 제 1 시프트 레지스터의 단 (F'1, F'2, F'3, F'4) 이 출력하는 클록신호 (S1, S2, S3, S4) 가 공급된다. 클록신호 (S4) 는 다음 그룹 (Gr2) 에도 공급된다.

도 7 은 상기 시프트 레지스터 회로의 동작을 설명하기 위한 타이밍차트이다. 제 1 시프트 레지스터의 첫단 (F'1) 에는, 3 펄스만이 연속되는 스타트 펄스 (SP') 가 입력된다. 이 펄스가 순서대로 다음 단에 보내지고, 제 1 시프트 레지스터의 각 단 (F'1, F'2, F'3, ...) 으로부터, 3 펄스만이 연속되는 클록신호 (S1, S2, S3, ...) 가 상이한 위상으로 출력된다. 클록신호 (S1, S2, S3, ...) 는 제 2 시프트 레지스터에서의 각 그룹에 공급된다. 예컨대, 클록신호 (S1, S2, S3, S4) 는 제 2 시프트 레지스터에서의 그룹 (Gr1) 에 공급된다. 클록신호 (S4) 는 다음 그룹 (Gr2) 에도 공급된다.

그룹 (Gr1) 에 공급된 클록신호 (S1 ~ S4) 는 그룹 (Gr1) 내의 단 (F1 ~ F6) 을 구동한다. 이 때, 클록신호 (S1) 와 클록신호 (S4) 는 동일한 상이지만, 타이밍이 1 주기 어긋나 있다. 이로 인해, 제 1 실시형태에서 4 펄스 필요했던, 제 1 시프트 레지스터의 스타트 펄스 (SP') 를, 본 실시형태에서는 3 펄스로 줄일 수 있다. 제 2 시프트 레지스터의 첫단 (F1) 에는 1 펄스만의 스타트 펄스 (SP) 가 입력된다. 이로써, 제 2 시프트 레지스터의 그룹 (Gr1) 을 구성하는 단 (F1 ~ F6) 으로부터는, 순서대로 신호 (G1 ~ G6) 가 출력된다. 그 이후의 단에 대해서도 동일한 동작이 실시된다.

본 실시형태에 있어서도, 제 1 시프트 레지스터의 각 단을 3 펄스가 연속되는 신호가 통과한 후에는, 각 단이 출력하는 클록신호는 모두 Low 레벨로 고정된다. 이와 동시에, 클록신호를 입력하고 있는 제 2 시프트 레지스터에 있어서도, 펄스 통과후에는 각 단이 출력하는 신호가 모두 Low 레벨로 고정된다. 즉, 펄스가 통과한 불필요한 단은 휴지상태로 되므로, 시프트 레지스터 회로의 소비전력이 절약된다.

예를 들면, 클록신호 (S1 ~ S4) 에 포함되는 펄스에 있어서, 제 2 시프트 레지스터의 그룹 (Gr1) 의 동작에 필요한 펄스는, 타이밍차트중의 파선으로 둘러싸인 펄스이다. 그 이외의 펄스는 불필요한 펄스인데, 제 1 실시형태 (도 2) 와 비교하면 불필요한 펄스가 감소되었다. 상술한 바와 같이, 불필요한 펄스가 제 2 시프트 레지스터의 동작에 악영향을 미치지 않는지만, 소비전력을 감소시킨다는 점에서 보면 불필요한 펄스는 적은 편이 좋다. 또한, 제 2 시프트 레지스터가 TFT 기판 (유리기판) 상에 형성되고, 이 제 2 시프트 레지스터가 TFT (Thin Film Transistor) 를 포함하는 경우에는, 이 TFT 에 대한 전압 스트레스를 작게 한다는 점에서, 불필요한 펄스는 적은 편이 좋다. 따라서, 본 실시형태에는, 제 1 실시형태와 비교하여 소비전력이 적고, 제 2 시프트 레지스터가 TFT를 포함하는 경우라도, 이 TFT 에 대한 전압 스트레스가 작기 때문에 신뢰성이 높다는 이점이 있다.

도 8 은 본 발명의 각 실시형태에서의 제 2 시프트 레지스터 또는 제 3 시프트 레지스터를 구성하는 단의 내부회로를 나타내는 회로도이다. 이 단은, 전단이 출력한 신호 (Gi - 1) 를 입력하는 입력단자 (IN) 와, 후단으로 보내는 신호 (Gi) 를 출력하는 출력단자 (OUT) 와, 3 상의 클록신호를 입력하는 3 개의 클록입력단자 (Ka, Kb, Kc) 를 갖는다.

입력단자 (IN) 는 다이오드로서 동작하는 MIS 트랜지스터 (M1) 를 통하여, 기억소자로서 동작하는 콘덴서 (C) 의 일단 (A 점) 에 접속되어 있다. 콘덴서 (C) 의 타단은 출력단자 (OUT) 에 접속되어 있다. 클록입력단자 (Ka) 는 MIS 트랜지스터 (M2) 의 드레인에 접속되고, 클록입력단자 (Kb) 는 MIS 트랜지스터 (M3 및 M4) 의 게이트에 접속되고, 클록입력단자 (Kc) 는 MIS 트랜지스터 (M3 및 M4) 의 소스에 접속되어 있다. 콘덴서 (C) 의 일단 (A 점) 은 MIS 트랜지스터 (M2) 의 게이트 및 MIS 트랜지스터 (M3) 의 드레인과 접속되어 있다. 콘덴서 (C) 의 타단, 즉 출력단자 (OUT) 는 MIS 트랜지스터 (M2) 의 소스 및 MIS 트랜지스터 (M4) 의 드레인과 접속되어 있다.

이 단은, 입력단자 (IN) 로부터 입력되는 입력신호 (Gi - 1) 를 기억소자로서의 콘덴서 (C) 에 유지하고, 출력단자 (OUT) 로부터 출력신호 (Gi) 로서 출력한다. 이 때, 항상 L (Low 레벨) 의 상태로 유지되어 있는 접지 라인이 단에 접속되어 있지 않아도, 클록입력단자 (Kb 및 Kc) 를 L (Low 레벨) 로 하면, 출력단자 (OUT) 로부터 출력되는 신호 (Gi) 를 L (Low 레벨) 로 되돌릴 (초기화) 수 있다.

그런데, 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성된 MIS 트랜지스터의 게이트·소스 사이에, 항상 동일한 방향으로 전압이 인가되면, 이 MIS 트랜지스터의 신뢰성이 저하되는 경우가 있다.

MIS 트랜지스터 (M3 및 M4) 의 게이트에, 전위가 High 레벨 또는 접지전위가 되는 클록신호가 입력되고, 소스에 항상 접지전위에 유지되어 있는 접지라인이 접속되어 있다고 가정하면, 게이트의 전위는 항상 소스의 전위 이상이 되고, 게이트·소스간의 전압의 방향은 항상 일정해진다.

이에 비해, 도 8 에 나타낸 단의 구성에 의하면, MIS 트랜지스터 (M3 및 M4) 의 게이트에, 전위가 High 레벨 또는 접지전위가 되는 클록신호가 입력됨과 동시에, 소스에도 전위가 High 레벨 또는 접지전위가 되는 클록신호가 입력된다. 그리고, 이들 클록신호는 위상이 상이하기 때문에, 게이트·소스간의 전압의 방향은 시시각각 변동하여 항상 동일한 방향으로 고정되지 않는다. 따라서, 이 MIS 트랜지스터의 신뢰성이 향상된다.

도 9 는 본 발명의 제 4 실시형태에서의 시프트 레지스터 회로의 구성을 나타내는 블록도이다. 이 시프트 레지스터 회로는, 복수의 단 ($F'1, F'2, F'3, \dots$) 이 종렬접속된 제 1 시프트 레지스터와, 복수의 단 ($F1, F2, F3, \dots$) 이 종렬접속되고, 연속되는 4 개의 단이 1 개의 그룹을 형성하고 있는 제 2 시프트 레지스터를 갖는다. 제 2 시프트 레지스터에 있어서는, 예컨대 단 ($F1 \sim F4$) 이 그룹 (Gr1) 을 형성하고 있고, 단 ($F5 \sim F8$) 이 그룹 (Gr2) 을 형성하고 있고, 단 ($F9 \sim F12$) 이 그룹 (Gr3) 을 형성하고 있다.

제 2 시프트 레지스터내의 각 그룹에 형성된 2 개의 클록입력단자에는, 제 1 시프트 레지스터내의 연속되는 2 개의 단의 출력단자로부터, 2 상의 클록신호가 공급된다. 예컨대, 제 2 시프트 레지스터내의 그룹 (Gr1) 에 형성된 2 개의 클록입력단자 ($T1, T2$) 에는, 각각 제 1 시프트 레지스터내의 연속되는 2 개의 단 ($F'1, F'2$) 의 출력단자에서 출력되는 2 상의 클록신호 ($S1, S2$) 가 공급된다. 또한, 그룹 (Gr2) 의 클록입력단자 ($T3, T4$) 에는, 각각 단 ($F'3, F'4$) 에서 출력되는 클록신호 ($S3, S4$) 가 공급된다.

1 개의 그룹내의 각 단에 형성된 2 개의 클록입력단자는, 각각 1 개의 그룹에 형성된 2 개의 클록입력단자 중 어느 하나에 접속되어 있다. 예컨대, 그룹 (Gr1) 내의 각 단에 형성된 2 개의 클록입력단자는, 각각 그룹 (Gr1) 내의 클록신호라인 ($L1, L2$) 중 어느 하나에 접속되고, 이들 클록신호라인 ($L1, L2$) 은, 각각 그룹 (Gr1) 에 형성된 2 개의 클록입력단자 ($T1, T2$) 에 접속되어 있다. 그룹 (Gr1) 내의 클록신호라인 ($L1, L2$) 은, 다른 그룹내의 클록신호라인 (예컨대, 그룹 (Gr2) 내의 클록신호라인 ($L3, L4$)) 과는 접속되어 있지 않다. 따라서, 1 개의 그룹내의 클록신호라인이 제 2 시프트 레지스터 전체에 걸쳐지지 않게 된다.

그룹내의 클록신호라인 (예컨대, 그룹 (Gr1) 내의 클록신호라인 ($L1, L2$)) 은, 구체적으로는 TFT 기판 (유리기판) 상에 형성되는 배선이므로 배선저항이 크다. 이에 비해, 제 1 시프트 레지스터내의 각 단의 출력단자 (예컨대, 단 ($F'1, F'2$) 의 출력단자) 로부터, 제 2 시프트 레지스터내의 각 그룹에 형성된 2 개의 클록입력단자 (예컨대, 그룹 (Gr1) 에 형성된 2 개의 클록입력단자 ($T1, T2$)) 까지의 배선은, TCP 에서의 배선이 되므로, 저저항배선재료를 사용할 수 있다. 따라서, 1 개의 그룹내의 클록신호라인을, 제 2 시프트 레지스터 전체에 걸쳐지 않음으로써, 배선저항에 의한 클록신호의 지연을 적게 할 수 있다.

도 10 은 제 1 시프트 레지스터내의 각 단 ($F'1, F'2, F'3, F'4, \dots$) 의 내부구성을 나타내는 회로도이다. 제 1 시프트 레지스터는 쌍방향성 시프트 레지스터로 되어 있고, 2 상의 클록 ($\phi 1, \phi 2$) 를 사용하여, 제 1 시프트 레지스터내의 단에 기억되는 클록신호를 도면의 우 또는 좌로 전송한다. 전송방향은 제어신호 (R) 에 의해 결정된다.

구체적으로는, 제 1 시프트 레지스터는, 제어신호 (R) 가 High 레벨일 때, 제 1 시프트 레지스터내의 단에 기억되는 클럭신호를 도면의 좌에서 우로 전송하고, 제어신호 (R) 가 Low 레벨일 때, 제 1 시프트 레지스터내의 단에 기억되는 클럭신호를 도면의 우에서 좌로 전송한다.

제 1 시프트 레지스터내의 각 단 (F'1, F'2, F'3, F'4, ...) 의 내부구성을, 단 (F'2) 을 예를 들어 설명한다. 단 (F'3, F'4, ...) 의 내부구성은 단 (F'2) 의 내부구성과 동일하므로 설명을 생략한다. 또한, 단 (F'1) 의 내부구성도, 후술하는 점 이외에는 단 (F'2) 의 내부구성과 동일하다.

단 (F'2) 은 4 개의 트랜지스터 (Q1, Q2, Q3, Q4) 와, 6 개의 인버터 (N1, N2, N3, N4, N5, N6) 와, 4 개의 논리곱 게이트 (A1, A2, A3, A4) 를 갖는다. 트랜지스터 (Q1 과 Q2) 는 직렬로 접속되고, 트랜지스터 (Q3 과 Q4) 는 직렬로 접속되어 있다. 인버터 (N1) 의 입력단자는 트랜지스터 (Q1 과 Q2) 가 접속된 점에 접속되고, 인버터 (N1) 의 출력단자는 트랜지스터 (Q3 과 Q4) 가 접속된 점에 접속되어 있다. 인버터 (N2) 의 입력단자는 트랜지스터 (Q4) 의 일단에서, 트랜지스터 (Q3) 와 접속되어 있지 않은 단자에 접속되고, 인버터 (N2) 의 출력단자는 트랜지스터 (Q2) 의 일단에서, 트랜지스터 (Q1) 와 접속되어 있지 않은 단자에 접속되어 있다.

트랜지스터 (Q2) 의 일단에서, 트랜지스터 (Q1) 와 접속되어 있지 않은 단자는, 인버터 (N3) 의 입력단자에 접속되고, 인버터 (N3 과 N4) 는 직렬로 접속되고, 인버터 (N4) 의 출력단자로부터는 클럭신호 (S2) 가 출력된다.

단 (F'2) 내의 트랜지스터 (Q1) 의 일단에서, 동일한 단 (F'2) 내의 트랜지스터 (Q2) 와 접속되어 있지 않은 단자는, 전단 (F'1) 내의 인버터 (N2) 의 출력단자에 접속되고, 단 (F'2) 내의 트랜지스터 (Q3) 의 일단에서, 동일한 단 (F'2) 내의 트랜지스터 (Q4) 와 접속되어 있지 않은 단자는, 전단 (F'1) 내의 인버터 (N2) 의 입력단자에 접속되어 있다.

단 (F'2) 내의 인버터 (N2) 의 출력단자는 다음 단 (F'3) 내의 트랜지스터 (Q1) 의 일단에서, 동일한 단 (F'3) 내의 트랜지스터 (Q2) 와 접속되어 있지 않은 단자에 접속되고, 단 (F'2) 내의 인버터 (N2) 의 입력단자는 다음 단 (F'3) 내의 트랜지스터 (Q3) 의 일단에서, 동일한 단 (F'3) 내의 트랜지스터 (Q4) 와 접속되어 있지 않은 단자에 접속되어 있다.

트랜지스터 (Q1) 의 게이트에는, 클럭 (ϕ 1) 과 제어신호 (R) 와의 논리곱을 취한 신호가 입력된다. 트랜지스터 (Q2) 의 게이트에는, 클럭 (ϕ 1) 과 제어신호 (R) 의 반전신호와 논리곱을 취한 신호가 입력된다. 트랜지스터 (Q3) 의 게이트에는, 클럭 (ϕ 2) 과 제어신호 (R) 의 반전신호와 논리곱을 취한 신호가 입력된다. 트랜지스터 (Q4) 의 게이트에는, 클럭 (ϕ 2) 과 제어신호 (R) 와의 논리곱을 취한 신호가 입력된다.

단 (F'1) 의 내부구성이 단 (F'2) 의 내부구성과 다른 점은, 단 (F'1) 내의 트랜지스터 (Q1) 의 일단에서, 동일한 단 (F'1) 내의 트랜지스터 (Q2) 와 접속되어 있지 않은 단자에, 스타트 펄스 (SP1) 가 입력되는 점과, 단 (F'1) 내에는 트랜지스터 (Q3), 논리곱 게이트 (A3) 및 인버터 (N6) 가 없는 점이다.

도 11 은 상기 제 1 시프트 레지스터의 동작을 나타내는 타이밍도이다. 클럭 (ϕ 1, ϕ 2) 은 서로 위상이 180° 다른 2 상의 클럭이다. 이 2 상의 클럭 ϕ 1, ϕ 2 가 제 1 시프트 레지스터에 공급되고, 또 제어신호 (R) 가 High 레벨인 상태에서, 제 1 시프트 레지스터의 첫단 (F'1) 에 1 펄스만의 스타트 펄스 (SP1) 가 입력되면, 이 스타트 펄스 (SP1) 를 기원으로 하는 클럭신호는 우방향으로 전송된다. 클럭신호가 우방향으로 2 단 전송된 후에, 제어신호 (R) 가 다시 Low 레벨이 되고, 이번에는 클럭신호는 좌방향으로 전송된다. 클럭신호가 좌방향으로 1 단 전송된 후에, 제어신호 (R) 가 다시 High 레벨이 되고, 클럭신호는 우방향으로 3 단 전송된다. 이후, 1 단의 좌전송과, 3 단의 우전송이 반복됨으로써 제 1 시프트 레지스터로부터 도시한 바와 같은 파형의 클럭신호 (S1, S2, S3, S4) 가 얻어진다.

도 12 는 제 2 시프트 레지스터내의 각 단 (Fi+1, Fi+2, ...) 의 내부구성을 나타내는 회로도이다. 제 2 시프트 레지스터내의 각 단 (Fi+1, Fi+2, ...) 의 내부구성을, 단 (Fi+1) 을 예로 들어 설명한다. 그리고, 단 (Fi+2, ...) 의 내부구성도, 단 (Fi+1) 의 내부구성과 동일하므로 설명을 생략한다.

단 (F_{i+1}) 은, 전단에서 출력되는 신호 (G_i) 를 입력하는 입력단자 (IN) 와, 다음 단 (F_{i+2}) 으로 보내는 신호 (G_{i+1}) 를 출력하는 출력단자 (OUT) 와, 제 1 시프트 레지스터가 출력하는 2 상의 클록신호 (S_n, S_{n+1}) 를 입력하는 2 개의 클록입력단자 (K_a, K_b) 와, 다음 단 (F_{i+2}) 에서 출력되는 펄스 신호 (G_{i+2}) 를 입력하는 단자 (P) 를 갖는다.

단 (F_{i+1}) 의 클록입력단자 (K_a) 에 클록신호 (S_n) 가 입력되고, 단 (F_{i+1}) 의 클록입력단자 (K_b) 에 클록신호 (S_{n+1}) 가 입력된 경우에는, 다음 단 (F_{i+2}) 의 클록입력단자 (K_a) 에는 클록신호 (S_{n+1}) 가 입력되고, 다음 단 (F_{i+2}) 의 클록입력단자 (K_b) 에는 클록신호 (S_n) 가 입력된다.

예컨대, 단 (F_1) 의 클록입력단자 (K_a) 에 클록신호 (S_1) 가 입력되고, 단 (F_i) 의 클록입력단자 (K_b) 에 클록신호 (S_2) 가 입력된 경우에는, 다음 단 (F_2) 의 클록입력단자 (K_a) 에는 클록신호 (S_2) 가 입력되고, 다음 단 (F_2) 의 클록입력단자 (K_b) 에는 클록신호 (S_1) 가 입력된다.

단 (F_{i+1}) 의 입력단자 (IN) 는, MIS 트랜지스터 (M_1) 를 통하여 기억소자로서 동작하는 콘덴서 (C) 의 일단 (A 점) 에 접속되어 있다. 콘덴서 (C) 의 타단 (B 점) 은 출력단자 (OUT) 에 접속되어 있다. 클록입력단자 (K_a) 는 MIS 트랜지스터 (M_1 및 M_5) 의 게이트에 접속되고, 클록입력단자 (K_b) 는 MIS 트랜지스터 (M_2) 의 드레인에 접속되어 있다. 콘덴서 (C) 의 일단 (A 점) 은 MIS 트랜지스터 (M_2) 의 게이트 및 MIS 트랜지스터 (M_3) 의 드레인과 접속되어 있다. 콘덴서 (C) 의 타단 (B 점) 은, MIS 트랜지스터 (M_2) 의 소스, MIS 트랜지스터 (M_4 및 M_5) 의 드레인과 접속되어 있다.

단 (F_{i+1}) 은 입력단자 (IN) 로부터 입력되는 신호 (G_i) 를 기억소자로서의 콘덴서 (C) 에 유지하고, 출력단자 (OUT) 로부터 신호 (G_{i+1}) 로서 출력한다. 따라서, 단 (F_{i+1}, F_{i+2}, \dots) 이 종렬접속된 제 2 시프트 레지스터는, 2 상의 클록신호 (S_n, S_{n+1}) 에 의해 각 단에 유지된 신호를 순서대로 우방향으로 전송한다.

도 13 은 상기 제 2 시프트 레지스터의 동작을 나타내는 타이밍차트이다. 제 2 시프트 레지스터는 제 1 시프트 레지스터가 출력하는 클록신호 ($S_1, S_2, S_3, S_4, \dots$) 를 사용하여, 제 2 시프트 레지스터내의 첫단 (F_1) 에 입력되는 스타트 펄스 (SP2) 를 기원으로 하는 신호를 순서대로 우방향으로 전송하고, 도시한 파형의 신호 ($G_1, G_2, G_3, G_4, \dots$) 를 출력한다.

제 2 시프트 레지스터내의 각 그룹에서 신호가 출력된 후에는, 제 1 시프트 레지스터로부터 제 2 시프트 레지스터내의 각 그룹에 입력되는 클록신호는 모두 Low 레벨로 고정된다. 예컨대, 제 2 시프트 레지스터내의 그룹 (Gr1) 에서 신호 ($G_1 \sim G_4$) 가 출력된 후에는, 그룹 (Gr1) 에 입력되는 클록신호 (S_1, S_2) 는 모두 Low 레벨로 고정된다. 그러면, 그룹 (Gr1) 내의 모든 단 ($F_1 \sim F_4$) 은 휴지상태가 되어 소비전력이 절약되고, 단 ($F_1 \sim F_4$) 내의 MIS 트랜지스터에 전압 스트레스가 계속 가해지지 않기 때문에 MIS 트랜지스터의 열화가 방지된다.

본 실시형태에서의 시프트 레지스터 회로에 의해, 예컨대 480 개의 주사선을 갖는 표시장치를 구동하는 것이 가능하다.

도 14 는 본 발명의 제 5 실시형태에서의 시프트 레지스터 회로의 구성을 나타내는 블록도이다. 이 시프트 레지스터 회로는, 복수의 단 ($F_1, F_2, F_3, F_4, \dots$) 이 종렬접속된 제 1 시프트 레지스터와, 복수의 단 ($F_1, F_2, F_3, F_4, \dots$) 이 종렬접속되고, 연속되는 6 개의 단이 1 개의 그룹을 형성하고 있는 제 2 시프트 레지스터를 갖는다. 제 2 시프트 레지스터에 있어서는, 예컨대 단 ($F_1 \sim F_6$) 이 그룹 (Gr1) 을 형성하고 있고, 단 ($F_7 \sim F_{12}$) 이 그룹 (Gr2) 을 형성하고 있다.

제 2 시프트 레지스터내의 각 그룹에 형성된 2 개의 클록입력단자에는, 제 1 시프트 레지스터내의 연속되는 2 개의 단

의 출력단자로부터, 2 상의 클럭신호가 공급된다. 예컨대, 제 2 시프트 레지스터내의 그룹 (Gr1) 그룹 (Gr1) 그룹 (Gr1) 록입력단자 (T1, T2) 에는, 각각 제 1 시프트 레지스터내의 연속되는 2 개의 단 (F'1, F'2) 의 출력단자에서 출력되는 2 상의 클럭신호 (S1, S2) 가 공급된다. 또한, 그룹 (Gr2) 의 클럭입력단자 (T3, T4) 에는, 각각 단 (F'3, F'4) 에서 출력되는 클럭신호 (S3, S4) 가 공급된다.

상기 이외의 시프트 레지스터 회로내의 접속관계는, 제 4 실시형태와 동일하므로 설명을 생략한다. 또한, 제 1 시프트 레지스터내의 각 단 (F'1, F'2, F'3, F'4, ...) 의 내부구성이나, 제 2 시프트 레지스터내의 각 단 (F1, F2, F3, F4, ...) 의 내부구성도, 제 4 실시형태와 동일하므로 설명을 생략한다.

도 15 는 상기 제 1 시프트 레지스터의 동작을 나타내는 타이밍차트이다. 클럭 ($\phi 1$, $\phi 2$) 은 서로의 위상이 180° 다른 2 상의 클럭이다. 이 2 상의 클럭 ($\phi 1$, $\phi 2$) 이 제 1 시프트 레지스터에 공급되고, 제어신호 (R) 가 High 레벨인 상태에서, 제 1 시프트 레지스터의 첫단 (F'1) 에 1 펄스만의 스타트 펄스 (SP1) 가 입력되면, 이 스타트 펄스 (SP1) 를 기원으로 하는 클럭신호는 우방향으로 전송된다. 클럭신호가 우방향으로 2 단 전송된 후에, 제어신호 (R) 가 Low 레벨이 되고, 클럭신호가 좌방향으로 1 단 전송된 후, 제어신호 (R) 가 다시 High 레벨이 되고, 클럭신호가 우방향으로 1 단 전송되고, 그 후 제어신호 (R) 가 다시 Low 레벨이 되고, 클럭신호가 좌방향으로 1 단 전송된다. 그 후, 제어신호 (R) 가 다시 High 레벨이 되고, 클럭신호가 우방향으로 2 단 전송된다. 이후, 1 단의 우전송, 1 단의 좌전송, 1 단의 우전송, 1 단의 좌전송, 2 단의 우전송을 한조로 하는 동작이 반복됨으로써, 제 1 시프트 레지스터로부터 도시한 파형의 클럭신호 (S1, S2, S3, S4) 가 얻어진다.

도 16 은 상기 제 2 시프트 레지스터의 동작을 나타내는 타이밍차트이다. 제 2 시프트 레지스터는 제 1 시프트 레지스터가 출력하는 클럭신호 (S1, S2, S3, S4, ...) 를 사용하여, 제 2 시프트 레지스터내의 첫단 (F1) 에 입력되는 스타트 펄스 (SP2) 를 기원으로 하는 신호를 순서대로 우방향으로 전송하고, 도시한 파형의 신호 (G1, G2, G3, G4, ...) 를 출력한다.

본 실시형태에서의 제 1 시프트 레지스터내의 단수는, 제 2 시프트 레지스터의 단수의 1/3 로 할 수 있기 때문에, 제 1 시프트 레지스터의 회로규모를 작게 할 수 있다. 또한, 제 2 시프트 레지스터내의 단의 그룹 구성과, 제어신호 R 의 파형 패턴을 변경함으로써, 제 1 시프트 레지스터내의 단수를, 제 2 시프트 레지스터내의 단수의 1/3 이하, 예컨대 1/4 로 할 수도 있다.

도 17 은 본 발명의 시프트 레지스터 회로를, 표시장치의 클럭발생회로 및 게이트 드라이버, 또는 클럭발생회로 및 소스 드라이버로서 사용한 예를 나타내는 구성도이다. 이 표시장치에 있어서는, 클럭발생회로 (4a) 가 출력하는 클럭신호가, TFT 기판 (표시장치기판) (1) 상의 게이트 드라이버 (3) 에 공급되고, 이 게이트 드라이버 (3) 가 표시 에어리어 (2) 내의 주사선 (2a) 을 구동한다. 또한, 클럭발생회로 (4b) 가 출력하는 클럭신호가, TFT 기판 (표시장치기판) (1) 상의 소스 드라이버 (5a) 에 공급되고, 이 소스 드라이버 (5a) 가 출력하는 주사신호 (SC1) 가 트랜지스터 (5b) 의 게이트에 인가된다. 트랜지스터 (5b) 는 주사신호 (SC1) 에 따라 표시 에어리어 (2) 내의 신호선 (2b) 으로의 소스신호 (SC2) 의 공급을 온, 오프한다.

본 발명의 각 실시형태에서의 제 1 시프트 레지스터를 클럭발생회로 (4a) 로서, 제 2 시프트 레지스터 및 제 3 시프트 레지스터를 주사선 (2a) 에 주사신호 (SC3 (각 실시형태에서의 신호 (G1, G2, ...), 또는 신호 (GO1, GO2, ... 및 G E1, GE2, ...))) 을 공급하는 게이트 드라이버 (3) 로서 사용할 수 있다. 또는, 제 1 시프트 레지스터를 클럭발생회로 (4b) 로서, 제 2 시프트 레지스터를 트랜지스터 (5b) 의 게이트에 주사신호 (SC1 (각 실시형태에서의 신호 (G1, G2, ...))) 을 인가하는 소스 드라이버 (5a) 로서 사용할 수도 있다.

도 18 은 본 발명의 시프트 레지스터 회로를, 이미지 센서의 클럭발생회로 및 게이트 드라이버, 또는 클럭발생회로 및 소스 드라이버로서 사용한 예를 나타내는 구성도이다. 이 이미지 센서에 있어서는, 도 17 에 나타낸 표시장치의 TFT 기관 (표시장치기관) (1) 상의 표시 에어리어 (2) 에서의 표시소자 (2d) 대신 TFT 기관 (이미지센서기관) (6) 상의 센서 에어리어 (7) 에서의 수광소자 (7d) 가 형성되어 있다. 그 이외의 구성은 도 17 에 나타낸 표시장치와 동일하다.

발명의 효과

본 발명에 의하면, 제 2 시프트 레지스터에서의 필요한 단에만 클럭신호가 공급되어 저소비 전력화가 실현됨과 동시에, 제 1 시프트 레지스터가 갖는 단의 출력이 직접 제 2 시프트 레지스터에 입력되고, 제 1 시프트 레지스터와 제 2 시프트 레지스터 사이에 게이트 회로를 개재시킬 필요가 없기 때문에, 시프트 레지스터 회로의 전체적인 회로규모를 작게 할 수 있다.

또, 제 2 시프트 레지스터의 그룹내의 단이 갖는 클럭입력단자가 한 계통으로 정리되고, 따라서 각 그룹이 1 세트의 클럭입력단자를 갖게 되므로, 제 2 시프트 레지스터를 위한 클럭신호의 배선이, 제 2 시프트 레지스터의 전역에 걸쳐지지 않게 된다. 이에 의해, 제 2 시프트 레지스터내의 클럭신호의 배선이 짧아지기 때문에, 배선용량이나 배선저항에 의한 클럭신호의 지연을 줄일 수 있다.

또한, 제 2 시프트 레지스터를 복수계열로 형성하면, 복수계열로 형성된 제 2 시프트 레지스터가 갖는 단의 출력으로, 표시장치에서의 홀수 필드 및 짝수 필드를 구동할 수 있기 때문에, 본 발명의 시프트 레지스터 회로를 인터레이스 구동에 사용할 수 있다. 또한, 홀수 필드와 짝수 필드를 전환하기 위해 게이트 회로를 형성할 필요가 없기 때문에, 회로규모를 작게 할 수 있다.

또한, 제 2 시프트 레지스터가 갖는 단의 출력이 액티브 매트릭스 회로의 주사신호로 되면, 즉 액티브 매트릭스 회로의 게이트 드라이버 또는 소스 드라이버를 상기 시프트 레지스터 회로로 구성하면, 게이트 드라이버 또는 소스 드라이버의 회로규모를 작게 할 수 있다.

또한, 액티브 매트릭스 회로 및 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터가, 동일형의 MIS 트랜지스터에 의해 구성되면 제조 프로세스가 간단해진다.

또한, 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성된 MIS 트랜지스터에 항상 전압이 인가되면, 이 MIS 트랜지스터의 신뢰성이 저하되는 경우가 있다. 본 발명에 의하면, 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터에는, 대부분의 기간에 전압이 인가되지 않기 때문에, 신뢰성 저하의 문제가 일어나지 않는다.

또한, 제 2 시프트 레지스터와 액티브 매트릭스 회로를 동일 기관상에 형성하면, 제 2 시프트 레지스터와 액티브 매트릭스 회로 사이의 배선을 짧게 할 수 있다.

또한, 액티브 매트릭스 회로 (구체적으로는 표시장치 등) 는 일반적으로 사이즈가 크다. 따라서, 제 2 시프트 레지스터와 액티브 매트릭스 회로를 동일 기관상에 형성하면, 액티브 매트릭스 회로의 사이즈에 맞춰, 제 2 시프트 레지스터를 위한 클럭신호의 배선을 길게 걸쳐야 한다. 이 때, 본 발명에 의하면, 제 2 시프트 레지스터내의 클럭신호의 배선이 짧아지기 때문에, 배선용량이나 배선저항에 의한 클럭신호의 지연을 줄일 수 있다. 또는, 제 2 시프트 레지스터내의 클럭신호의 배선이 짧아지기 때문에, 그만큼 이 배선의 선폭을 축소할 수 있다. 그 결과, 액티브 매트릭스 회로가 표시장치인 경우에는, 표시부로서 사용할 수 없는 무효 에어리어 (가장자리 부분) 를 작게 할 수 있다.

또한, 제 2 시프트 레지스터의 각 단의 상태를 초기화하기 위한 초기상태 레벨을, 클럭입력단자 중 어느 하나로부터 입력하면, 초기상태 레벨을 공급하기 위한 만큼의 배선 (예컨대, 접지 라인) 이 불필요해진다. 따라서, 제 2 시프트 레지스터에 접속되는 배선이 적어져, 배선에 필요한 면적을 작게 할 수 있다.

또한, 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성된 MIS 트랜지스터에 항상 동일한 방향으로 전압이 인가되면, 이 MIS 트랜지스터의 신뢰성이 저하되는 경우가 있다. MIS 트랜지스터에, 항상 초기상태 레벨로 고정된 배선으로부터가 아니라, 전위가时时각각 변동하는 클록입력단자 중 어느 하나로부터, 초기상태 레벨이 입력되면, 이 MIS 트랜지스터에 인가되는 전압의 방향이时时각각 변동하여, 동일한 방향으로 고정되지 않는다. 따라서, 이 MIS 트랜지스터의 신뢰성이 향상된다.

(57) 청구의 범위

청구항 1.

종속접속된 복수의 단을 갖는 제 1 시프트 레지스터와,

상기 제 1 시프트 레지스터보다 많은 단을 갖는 제 2 시프트 레지스터를 구비하는 시프트 레지스터 회로에 있어서,

상기 제 2 시프트 레지스터가 갖는 단은 연속되는 단에 의해 구성되는 그룹으로 나뉘고,

상기 제 1 시프트 레지스터가 갖는 각 단은, 상기 제 2 시프트 레지스터내의 각 그룹을 구성하는 단에, 클록신호로서 서로 위상이 상이한 소정 펄스수의 연속되는 펄스열을 출력하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 2.

제 1 항에 있어서,

상기 제 1 시프트 레지스터의 입력단자에는 유한의 펄스수의 연속되는 펄스열이 입력되는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 3.

제 1 항에 있어서,

상기 제 1 시프트 레지스터는 쌍방향성 시프트 레지스터인 것을 특징으로 하는 시프트 레지스터 회로.

청구항 4.

제 2 항에 있어서,

상기 제 2 시프트 레지스터는 복수계열로 형성되는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 5.

제 1 항에 있어서,

상기 제 2 시프트 레지스터가 갖는 단의 출력은, 신호선과 주사선이 교차한 교차점 부근에 스위칭 소자가 형성된 액티브 매트릭스 회로의 주사신호인 것을 특징으로 하는 시프트 레지스터 회로.

청구항 6.

제 5 항에 있어서,

상기 액티브 매트릭스 회로 및 상기 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터는, 모두 동일형의 MIS 트랜지스터에 의해 구성되는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 7.

제 5 항에 있어서,

상기 액티브 매트릭스 회로 및 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터는, 모두 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성되는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 8.

제 5 항에 있어서,

상기 제 2 시프트 레지스터는, 상기 액티브 매트릭스 회로와 동일 기판상에 형성되는 것을 특징으로 하는 시프트 레지스터.

청구항 9.

제 2 항에 있어서,

상기 제 2 시프트 레지스터가 갖는 각 단은, 단자로서,

n 상 (n 은 2 이상의 정수) 의 클럭신호를 입력하는 클럭입력단자,

상기 제 2 시프트 레지스터의 입력단자 또는 전단의 출력단자로부터 받는 신호를 입력하는 입력단자, 및

후단의 입력단자 또는 상기 제 2 시프트 레지스터의 출력단자로 보내는 신호를 출력하는 출력단자를 포함하고,

상기 각 단은 상기 클럭입력단자 중 어느 하나로부터, 각 단의 상태를 초기화하기 위한 초기상태 레벨을 입력하는 것을 특징으로 하는 시프트 레지스터 회로.

청구항 10.

제 1 항에 기재된 시프트 레지스터 회로를 구비하는 것을 특징으로 하는 표시장치.

청구항 11.

제 10 항에 있어서,

상기 시프트 레지스터 회로의, 상기 제 2 시프트 레지스터가 갖는 단의 출력은, 신호선과 주사선이 교차한 교차점 부근에 스위칭 소자가 형성된 액티브 매트릭스 회로의 주사신호로 되는 것을 특징으로 하는 표시장치.

청구항 12.

제 10 항에 있어서,

상기 시프트 레지스터 회로의, 상기 액티브 매트릭스 회로 및 상기 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터는, 모두 동일형의 MIS 트랜지스터에 의해 구성되는 것을 특징으로 하는 표시장치.

청구항 13.

제 10 항에 있어서,

상기 시프트 레지스터 회로의, 상기 액티브 매트릭스 회로 및 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터는, 모두 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성되는 것을 특징으로 하는 표시장치.

청구항 14.

제 10 항에 있어서,

상기 시프트 레지스터 회로의, 상기 제 2 시프트 레지스터는 상기 액티브 매트릭스 회로와 동일 기판상에 형성되는 것을 특징으로 하는 표시장치.

청구항 15.

제 1 항에 기재된 시프트 레지스터 회로를 구비하는 것을 특징으로 하는 이미지 센서.

청구항 16.

제 15 항에 있어서,

상기 시프트 레지스터 회로의, 상기 제 2 시프트 레지스터가 갖는 단의 출력은, 신호선과 주사선이 교차한 교차점 부근에 스위칭 소자가 형성된 액티브 매트릭스 회로의 주사신호인 것을 특징으로 하는 이미지 센서.

청구항 17.

제 15 항에 있어서,

상기 시프트 레지스터 회로에 있어서, 상기 액티브 매트릭스 회로 및 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터는, 모두 동일형의 MIS 트랜지스터에 의해 구성되는 것을 특징으로 하는 이미지 센서.

청구항 18.

제 15 항에 있어서,

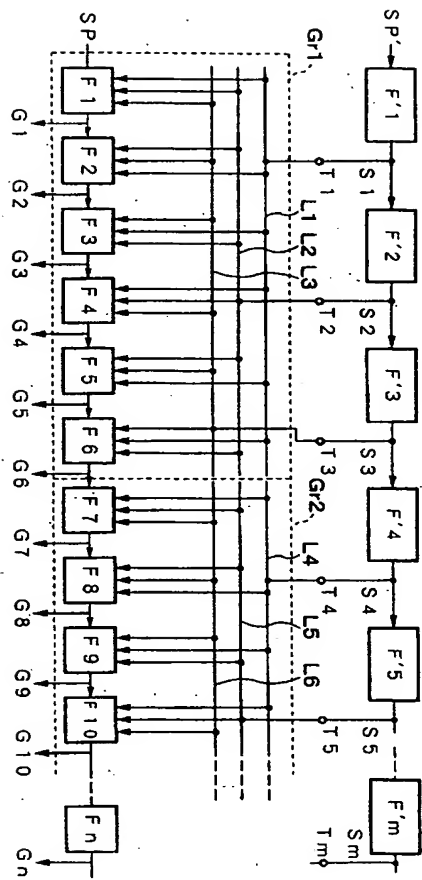
상기 시프트 레지스터 회로의, 상기 액티브 매트릭스 회로 및 제 2 시프트 레지스터에 포함되는 MIS 트랜지스터는, 모두 비정질 실리콘 또는 다결정 실리콘을 포함하는 소재에 의해 구성되는 것을 특징으로 하는 이미지 센서.

청구항 19.

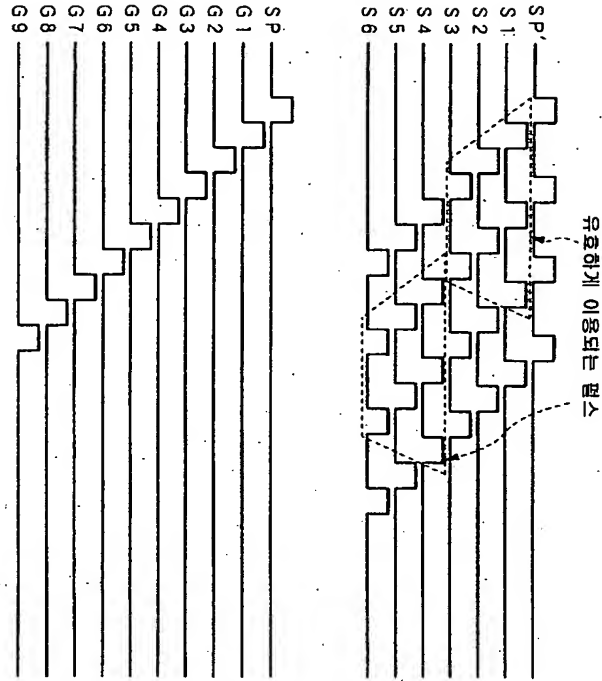
제 15 항에 있어서,

상기 시프트 레지스터 회로의, 상기 제 2 시프트 레지스터는 상기 액티브 매트릭스 회로와 동일 기판상에 형성되는 것을 특징으로 하는 이미지 센서.

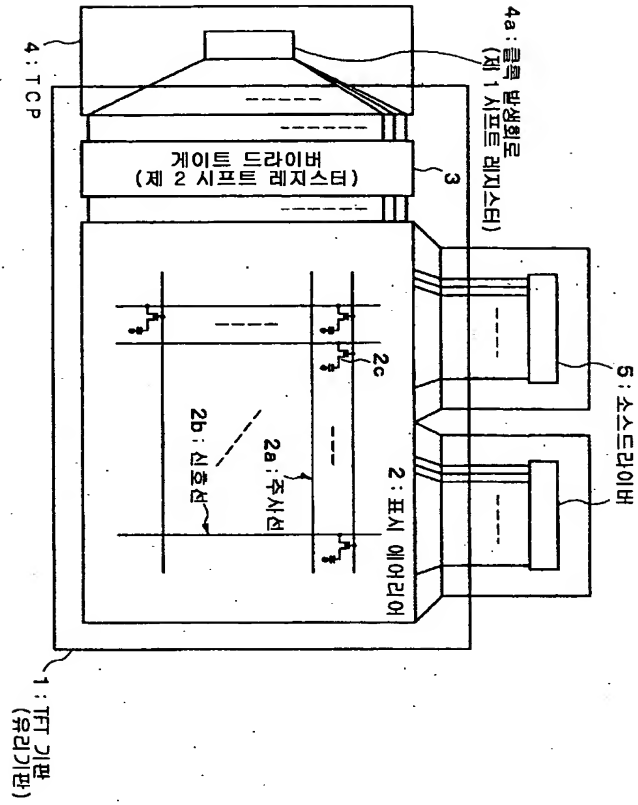
도면 1



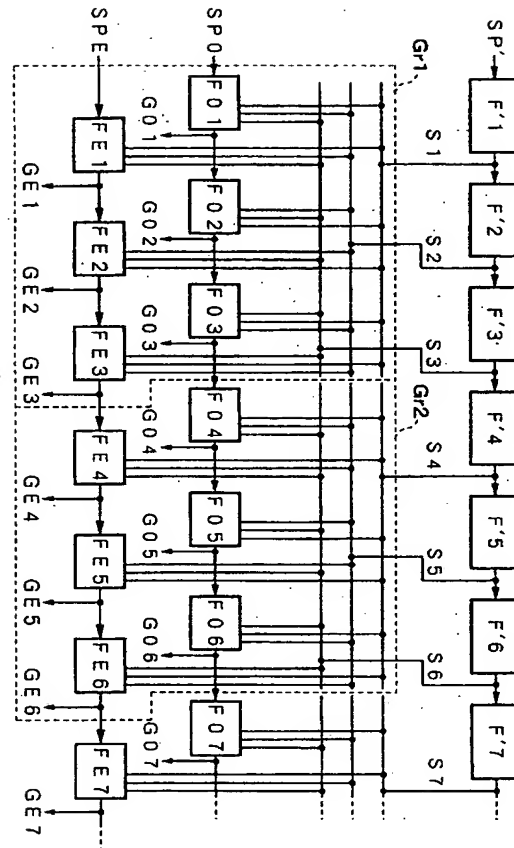
도면 2



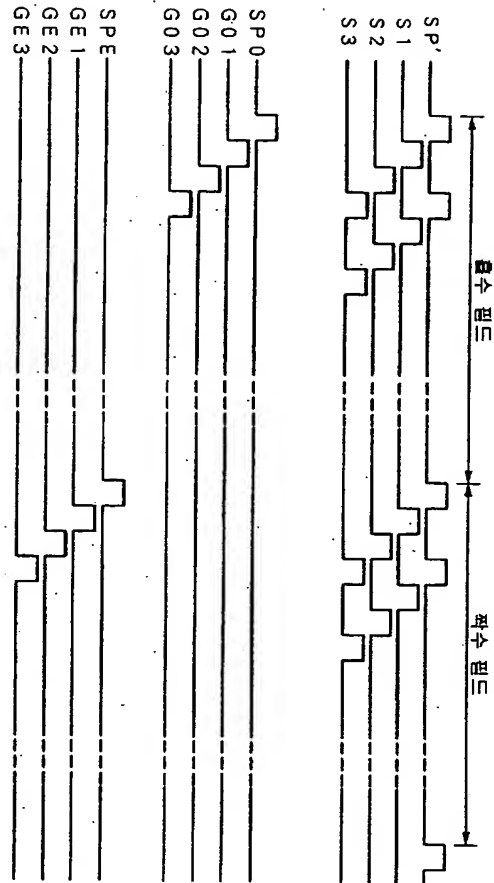
도면 3



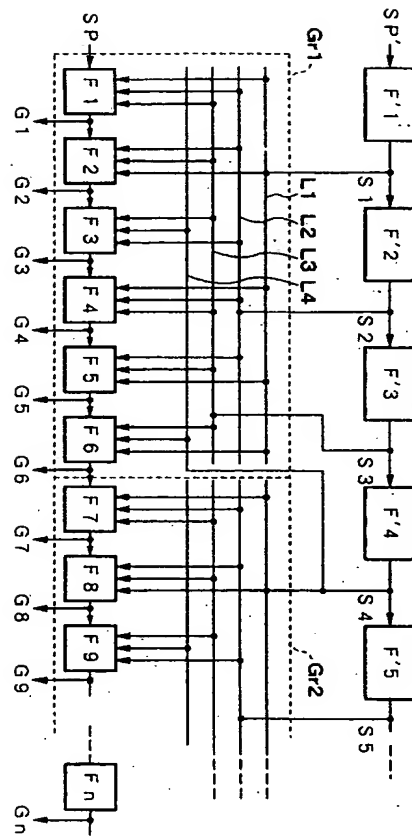
도면 4



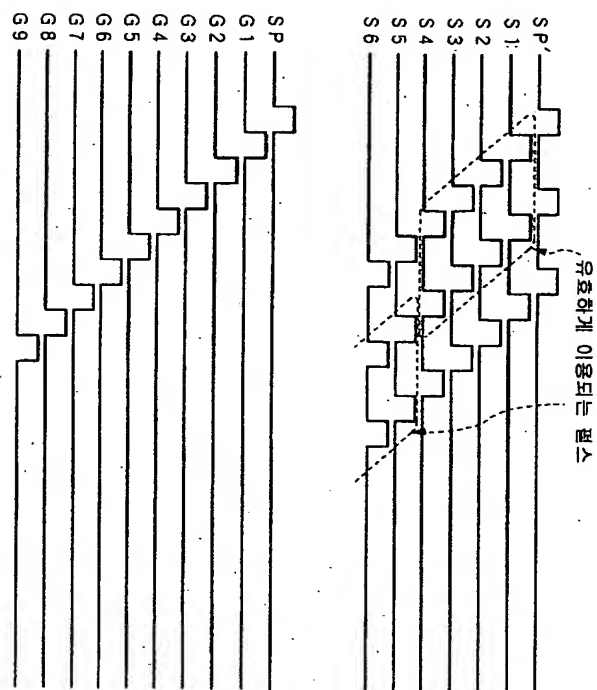
도면 5



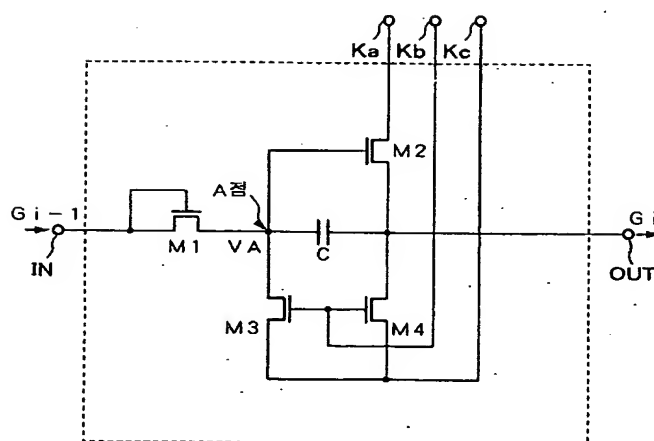
도면 6



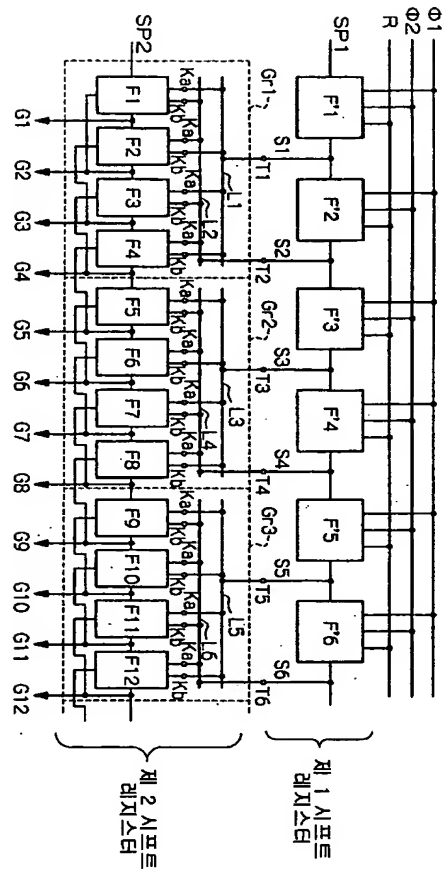
도면 7



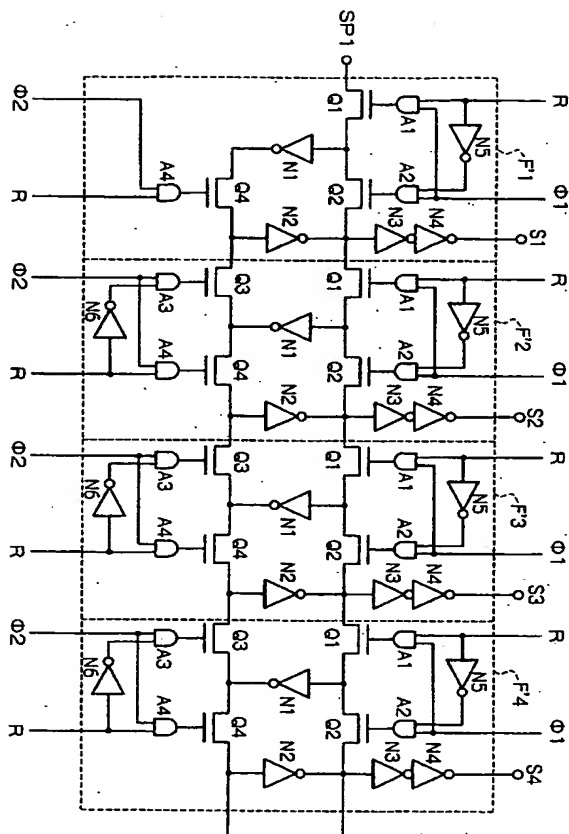
도면 8



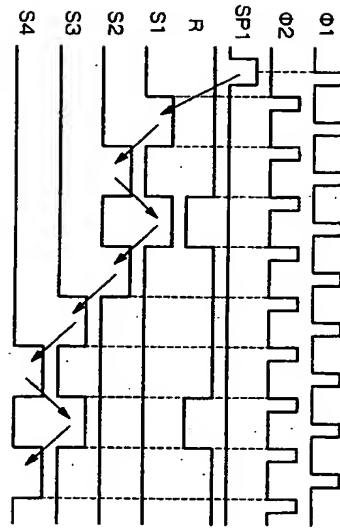
도면 9



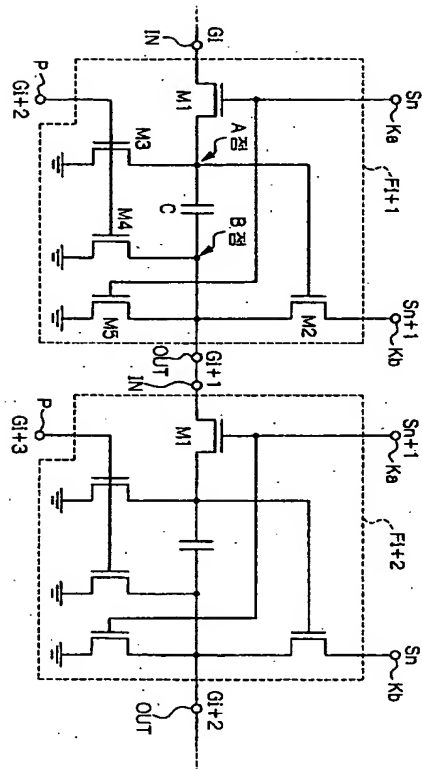
도면 10



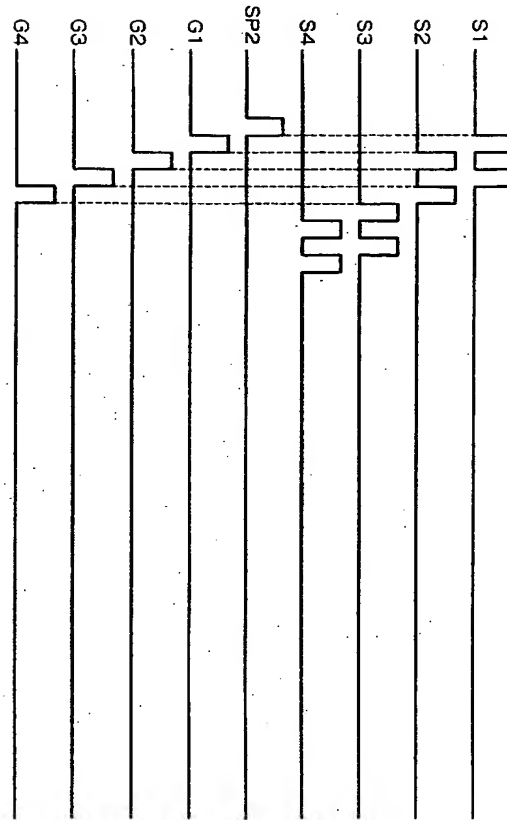
도면 11



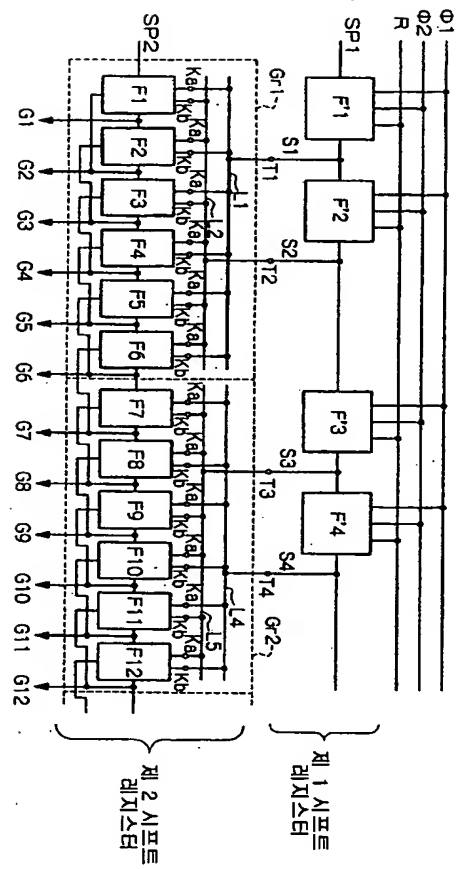
도면 12



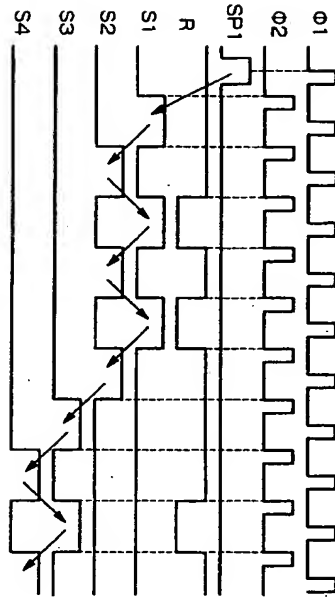
도면 13



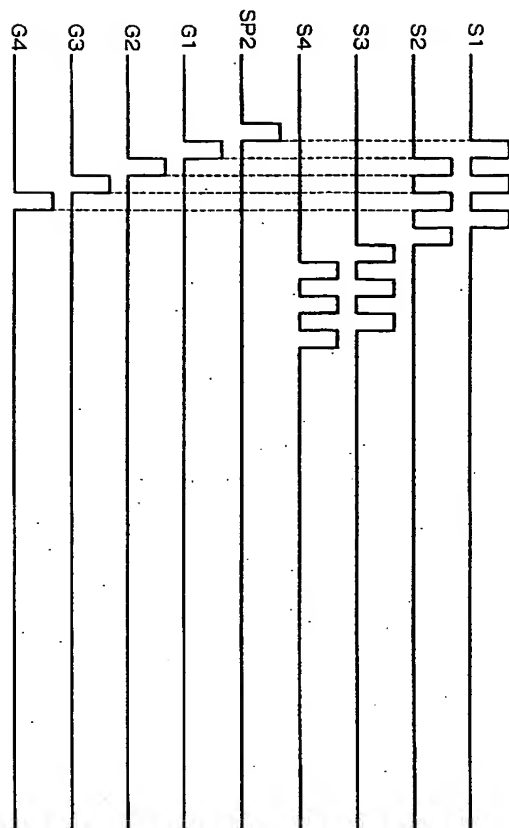
도면 14



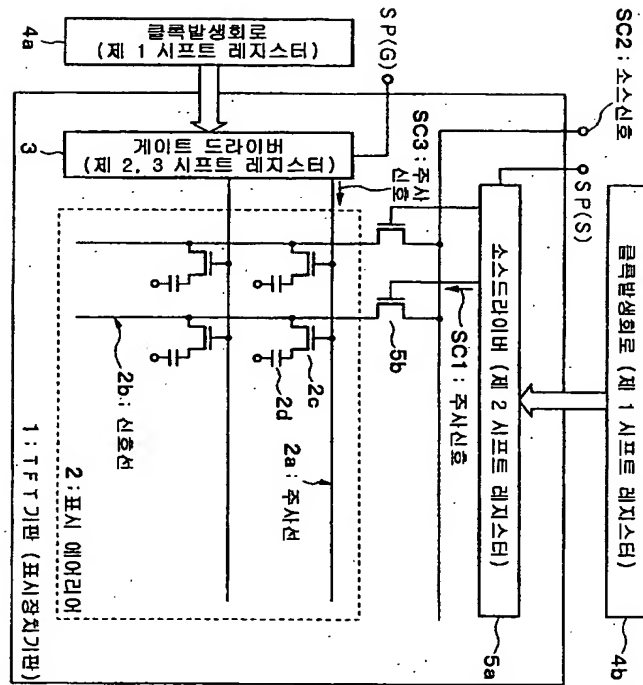
도면 15



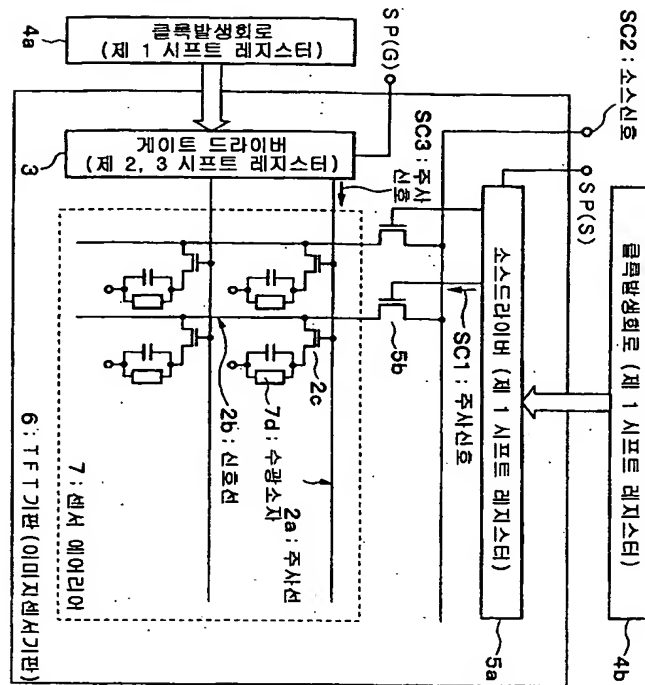
도면 16



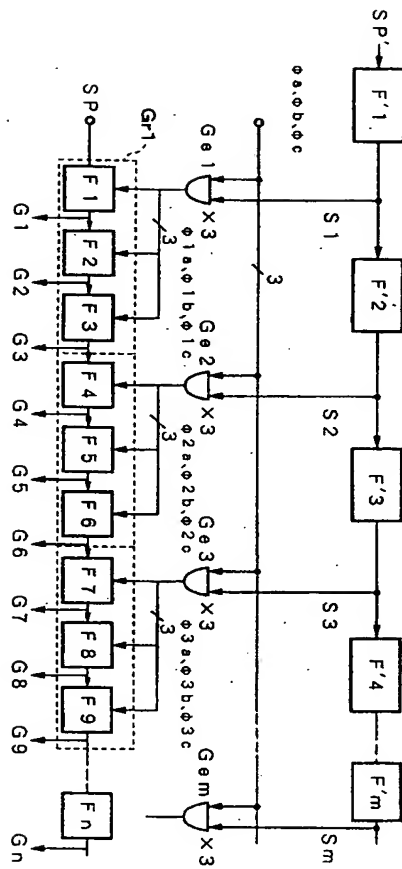
도면 17



도면 18



도면 19



도면 20

